

NTSC用CMOS-CCD1Hディレライン

概要

CXL5502M / N / Pは、外部ローパスフィルタを含めNTSC信号において1Hの遅延量が得られるCMOS-CCD遅延素子です。

特長

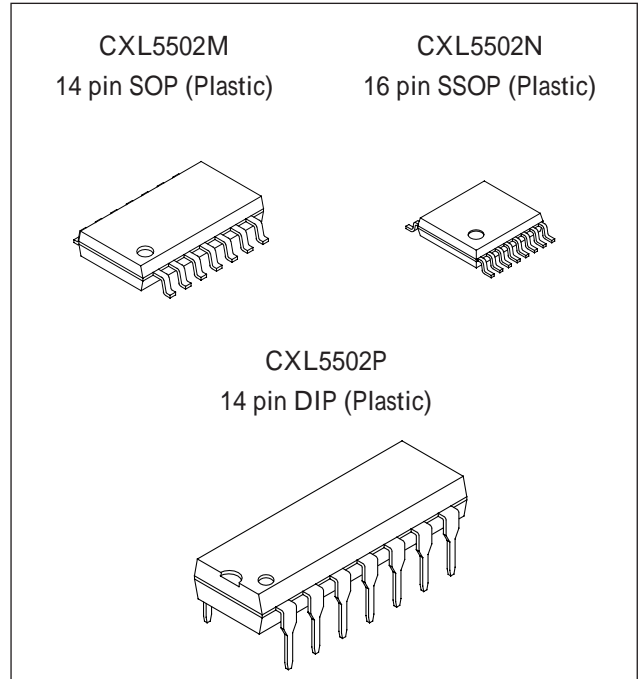
- 5V単一電源
- 低消費電力 95mW (標準)
- 周辺回路内蔵
- 入出力状態切り換え可能
- 4逓倍PLL回路内蔵

機能

- 905bit CCDレジスタ
- クロックドライバ
- オートバイアス回路
- 入力クランプ回路
- サンプルホールド回路
- PLL回路

構造

CMOS-CCD



絶対最大定格 (Ta = 25)

• 電源電圧	V _{DD}	6	V
• 動作温度	T _{opr}	- 10 ~ + 60	
• 保存周囲温度	T _{stg}	- 55 ~ + 150	
• 許容損失	P _d		
	CXL5502M	400	mW
	CXL5502N	260	mW
	CXL5502P	800	mW

推奨動作電圧範囲 (Ta = 25)

電源電圧	V _{DD}	5 ± 5%	V
------	-----------------	--------	---

推奨クロック条件 (Ta = 25)

- クロック入力振幅 V_{CLK} 0.3 ~ 1.0 V_{p-p}
(標準0.5V_{p-p})
- クロック周波数 f_{CLK} 3.579545 MHz
- クロック入力波形 正弦波

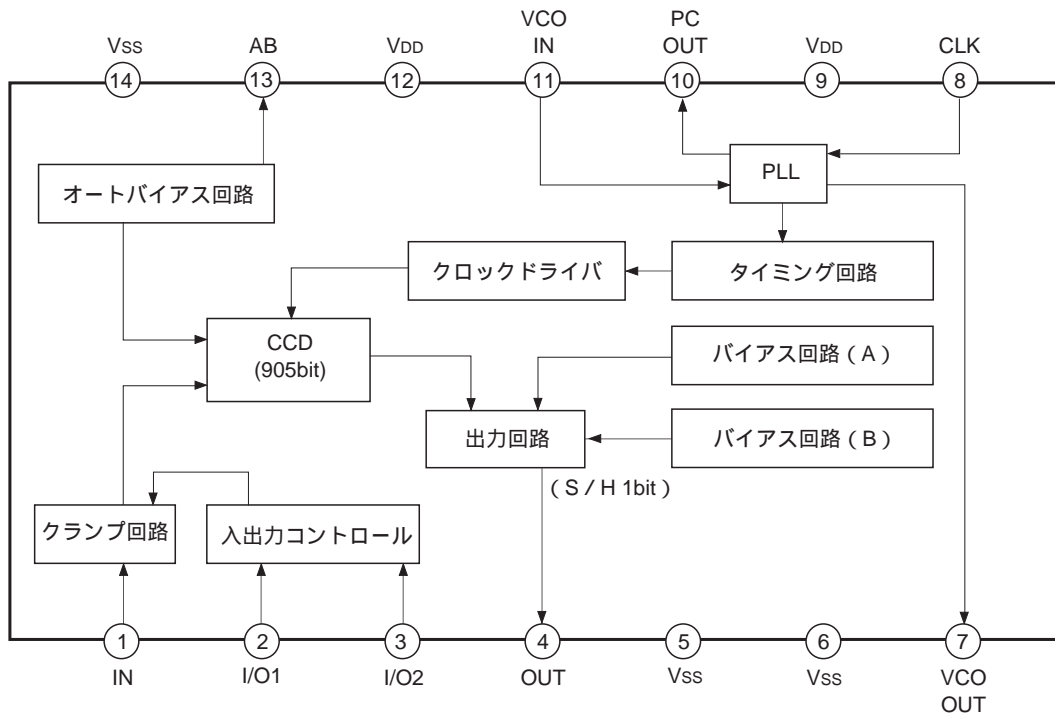
信号入力振幅

V_{SIG} 500mV_{p-p} (標準), 572mV_{p-p} (最大)
(内部クランプ状態)

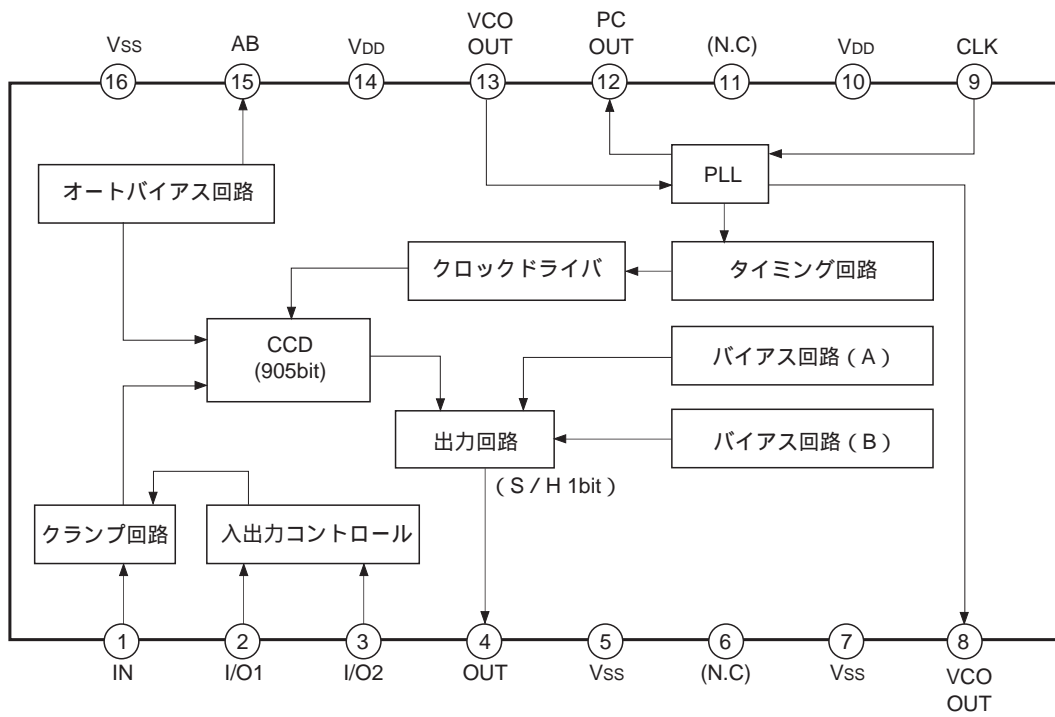
本資料に記載されております規格等は、改良のため予告なく変更することがありますので、ご了承ください。
また本資料によって、記載内容に関する工業所有権の実施許諾や、その他の権利に対する保証を認めたものではありません。
なお資料中に、回路例が記載されている場合、これらは使用上の参考として、代表的な応用例を示したものですので、これら回路の使用に起因する損害について、当社は一切責任を負いません。

ブロック図および端子配列図 (Top View)

CXL5502M / P



CXL5502N



端子説明

CXL5502M / P

端子番号	端子記号	I/O	端子説明	インピーダンス
1	IN	I	信号入力	> 10k 非クランプ時
2	I/O1	I	入出力コントロール1	
3	I/O2	I	入出力コントロール2	
4	OUT	O	信号出力	40 ~ 500
5	V _{SS}	-	GND	
6	V _{SS}	-	GND	
7	VCO OUT	O	VCO出力	
8	CLK	I	クロック入力	> 100k
9	V _{DD}	-	電源 (5V)	
10	PC OUT	O	フェーズコンパレータ出力	
11	VCO IN	I	VCO入力	
12	V _{DD}	-	電源 (5V)	
13	AB	O	オートバイアス DC出力	600 ~ 200k
14	V _{SS}	-	GND (SUB)	

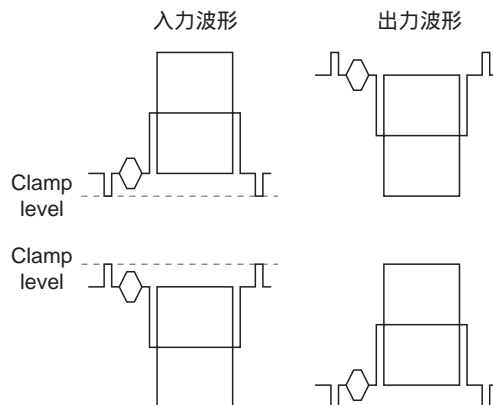
CXL5502N

端子番号	端子記号	I/O	端子説明	インピーダンス
1	IN	I	信号入力	> 10k 非クランプ時
2	I/O1	I	入出力コントロール1	
3	I/O2	I	入出力コントロール2	
4	OUT	O	信号出力	40 ~ 500
5	V _{SS}	-	GND	
6	(N.C)	-	-	
7	V _{SS}	-	GND	
8	VCO OUT	O	VCO出力	
9	CLK	I	クロック入力	> 100k
10	V _{DD}	-	電源 (5V)	
11	(N.C)	-	-	
12	PC OUT	O	フェーズコンパレータ出力	
13	VCO IN	I	VCO入力	
14	V _{DD}	-	電源 (5V)	
15	AB	O	オートバイアス DC出力	600 ~ 200k
16	V _{SS}	-	GND (SUB)	

機能説明

CXL5502M / N / Pは、I/Oコントロールピン（2番端子，3番端子）の状態により，入力信号のクランプ状態，および出力信号の入力信号に対する状態をコントロールすることができます。
信号の入出力モードとしては，以下の2種類があります。

- (1) PNモード
(Low level clamp 逆相出力モード)
- (2) NPモード
(High level clamp 正相出力モード)



I/Oコントロールピン説明

(1) I/O1 (2番端子)

入出力信号状態のコントロール

直流open ... 入力信号は，Low level clampされ，出力信号は入力信号に対して反転した信号となります。
端子はIC内部の抵抗により2.5Vにバイアスされるため，1000pF程度のデカップリングコンデンサを必要とします。

GND 入力信号は，High level clampされ，出力信号は反転した信号となります。

(2) I/O2 (3番端子)

入力信号のクランプ状態のコントロール

0V 内部クランプ状態

5V 非内部クランプ状態

IC内部抵抗（数10k）により，約2.1Vにセンターバイアスされます。

このモードでの使用は，APL50%の信号に限られます。

また，このモードでの最大入力信号振幅は200mVp-pです。

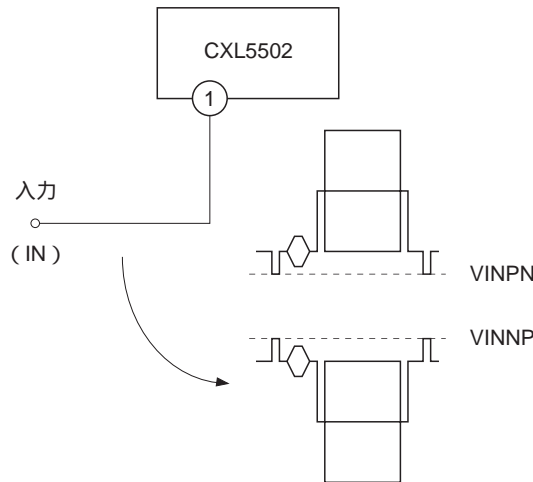
電気的特性 (Ta = 25 , VDD = 5V, fCLK = 3.579545MHz, VCLK = 500mVp-p, 正弦波) 電気的特性測定回路図参照

項目	記号	測定条件	SW条件							バイアス条件 Vbias1 (V) (NOTE 1)	最小値	標準値	最大値	単位	NOTE
			1	2	3	4	5	6	7						
電源電流	IDDPN	-	-	c	b	b	b	a	-	-	10	19	28	mA	2
	IDDNP		a	a	a	a	a	a	-	-	-	-	-	-	-
低域利得	GLPN	200kHz, 500mVp-p, 正弦波	a	a	b	b	b	a	b	-	-2	0	2	dB	3
	GLNP		a	a	a	a	a	a	a	-	-	-	-	-	-
周波数特性	fPN	200kHz 3.57MHz, 150mVp-p, 正弦波	b	a	a	b	b	b	b	2.1	-2	-1	0	dB	4
	fNP		c	a	a	a	a	a	a	-	-	-	-	-	-
微分利得	DGPN	5段階段波 (NOTE 5参照)	d	a	b	b	b	a	c	-	0	5	7	%	5
	DGNP		d	b	a	a	a	a	a	-	-	-	-	-	-
微分位相	DPPN	5段階段波 (NOTE 5参照)	d	a	b	b	b	a	c	-	0	5	7	degree	5
	DPNP		d	b	a	a	a	a	a	-	-	-	-	-	-
S/Hパルス カップ リング量	CPPN	入力無信号	-	c	a	b	b	b	a	VINPN + 0.5	-	-	350	mVp-p	6
	CPNP		-	c	a	a	a	a	a	VINNP	-	-	-	-	-
S/N比	SNPN	50%白ビデオ信号 (NOTE 7参照)	e	a	b	b	b	a	d	-	52	56	-	dB	7
	SNNP		e	b	a	a	a	a	a	-	-	-	-	-	-

NOTE

(1) VINPN, VINNPを以下のように定義します。

VINPN, VINNPはPNモード, NPモードそれぞれの入力信号クランプレベルであり, Video信号のシンクチップレベルをクランプします。



VINPN, VINNPの測定は以下のSW条件および電圧計で行います。

項目	SW条件							測定点
	1	2	3	4	5	6	7	
VINPN	-	c	b	b	b	a	-	V1
VINNP	-	c	b	a	a	a	-	

(2) クロックおよび信号入力時のIC電源電流値です。

(3) IN端子に500mVp-p, 200kHzの正弦波を入力したときのOUT端子出力のゲインです。

(計算例)

$$GLPN = 20 \log \frac{\text{OUT端子出力電圧 (PNモード)} [mVp-p]}{500 [mVp-p]} \quad [dB]$$

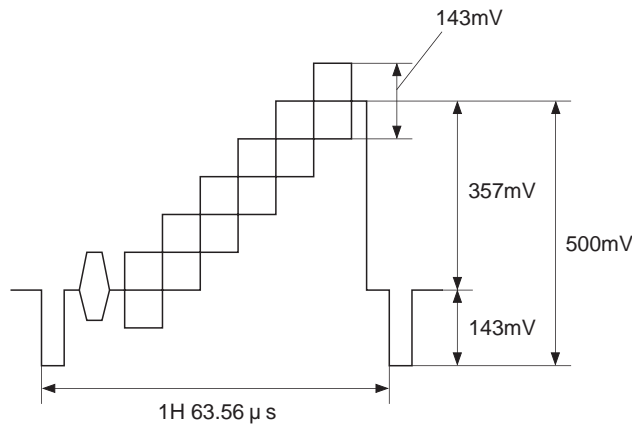
(4) 200kHzに対し, 3.57MHzでの損失を表します。

IN端子に150mVp-p, 200kHzの正弦波を入力したときのOUT端子の出力電圧と, 150mVp-p, 3.57MHzの正弦波を入力したときのOUT端子の出力電圧から, 下式のように計算します。入力バイアスは, 2.1Vで測定します。

(計算例)

$$fPN = 20 \log \frac{\text{OUT端子出力電圧 (PNモード, 3.57MHz)} [mVp-p]}{\text{OUT端子出力電圧 (PNモード, 200kHz)} [mVp-p]} \quad [dB]$$

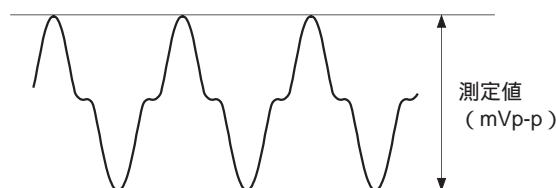
(5) 下図5段階波入力時の微分利得 (DG), 微分位相 (DP) をベクトルスコープにて測定します。



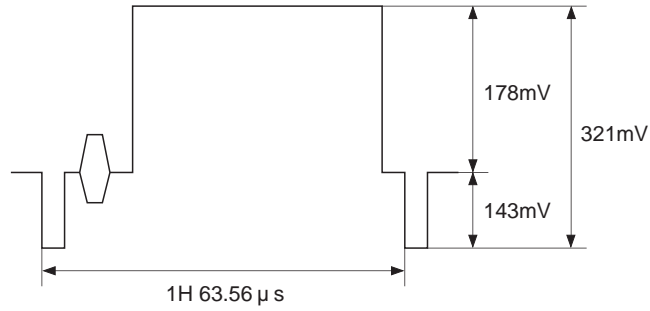
入力波形 (NPモード入力波形は上図の反転波形)

(6) 入力無信号時の出力信号への内部クロック成分, およびその高調波成分のものを測定します。

入力バイアスは, PNモード, NPモードそれぞれ, VINPN + 0.5V, VINNPで測定します。



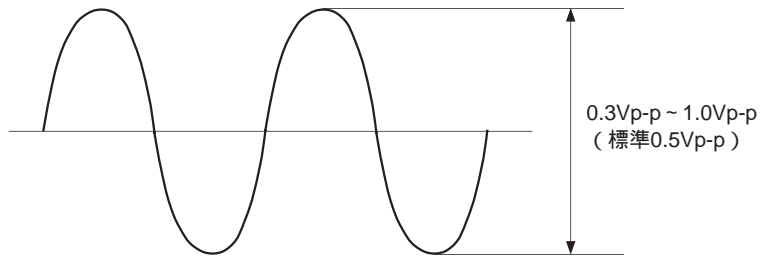
(7) 下図50%白ビデオ信号入力時のS/N比をビデオノイズメータにて、BPF100kHz～4MHz，Sub Carrier Trapモードで測定します。



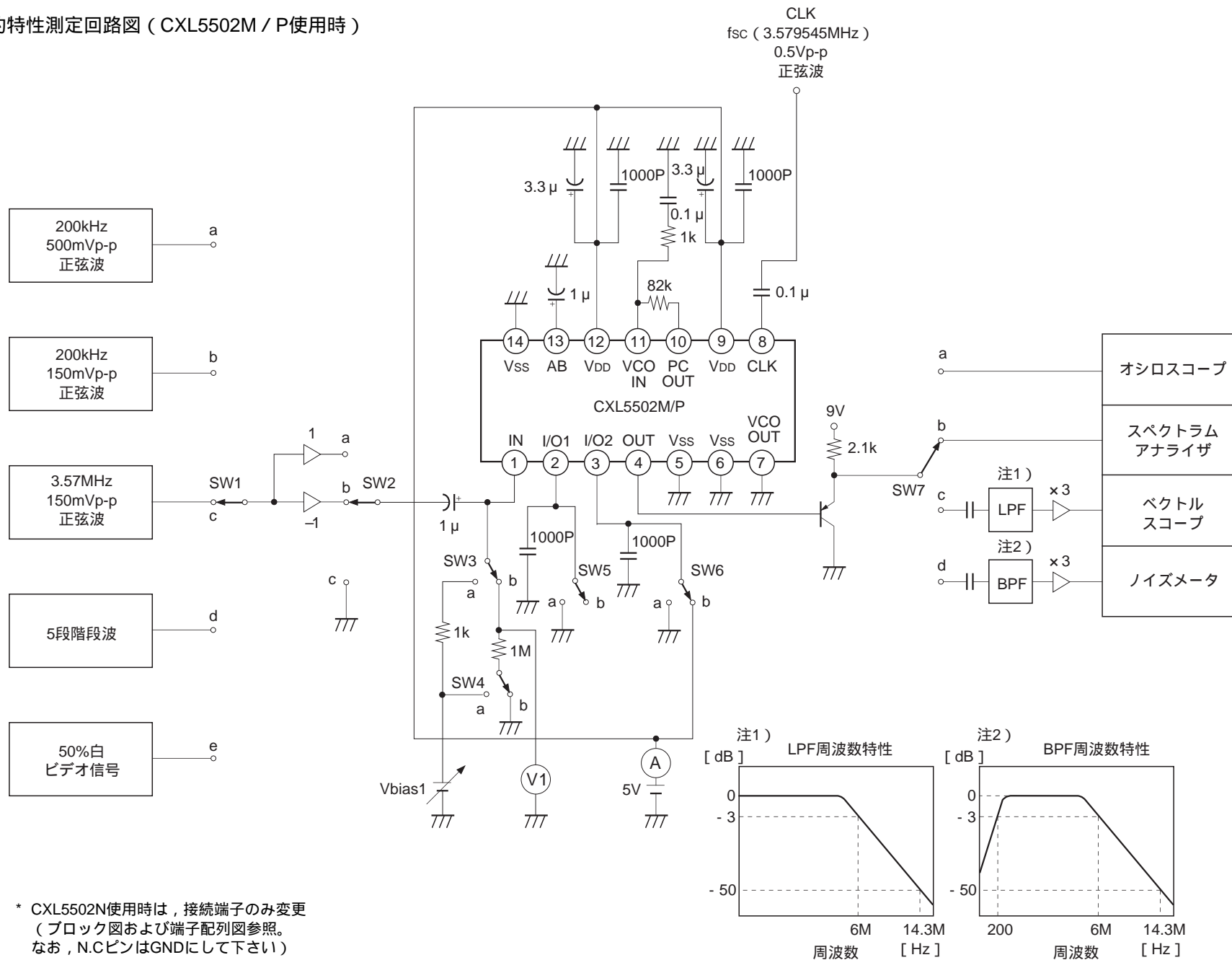
入力波形 (NPモード入力波形は上図の反転波形)

Clock

fsc (3.579545MHz) 正弦波

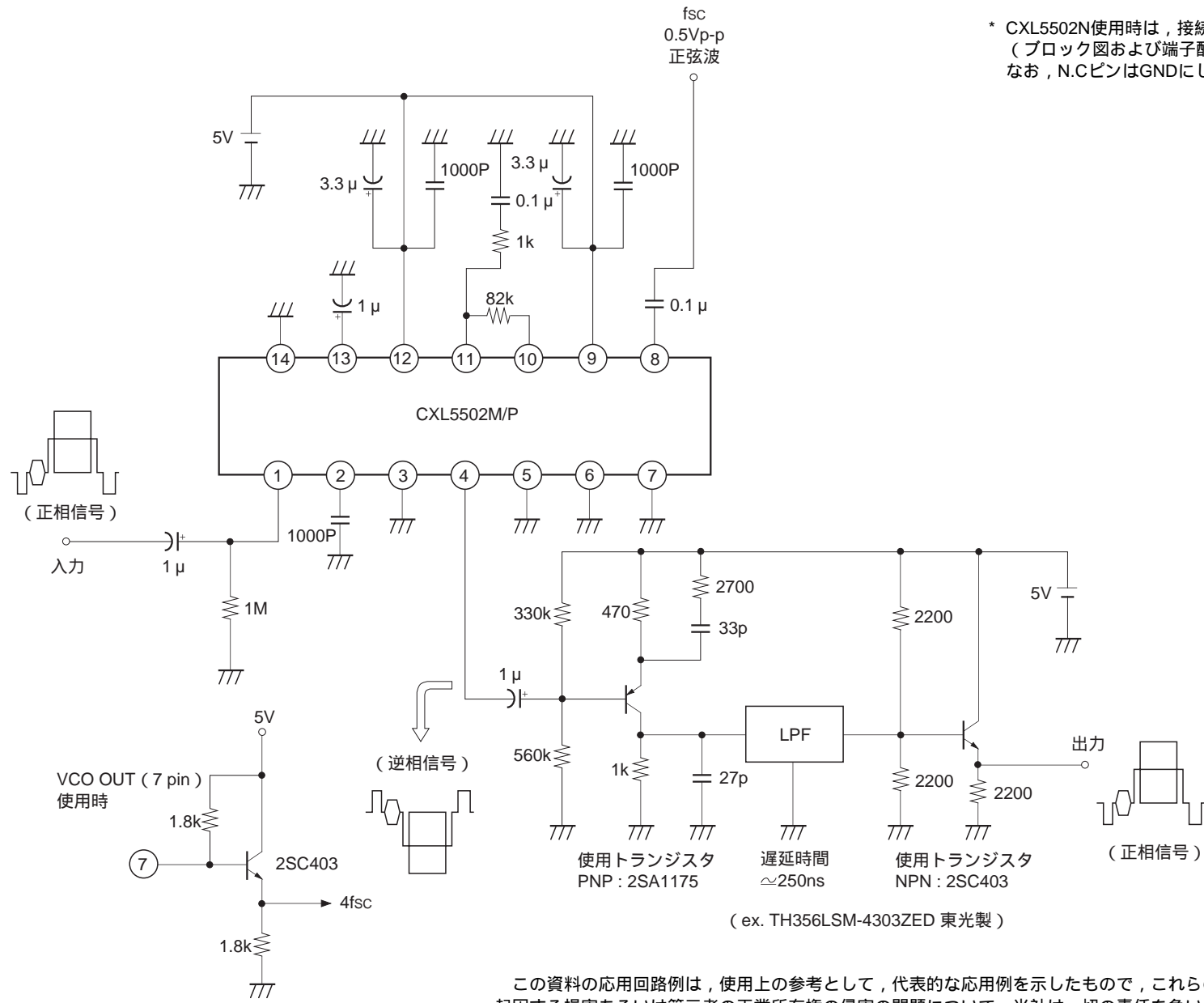


電気的特性測定回路図 (CXL5502M / P使用時)



* CXL5502N使用時は、接続端子のみ変更 (ブロック図および端子配列図参照。なお、N.CピンはGNDにして下さい)

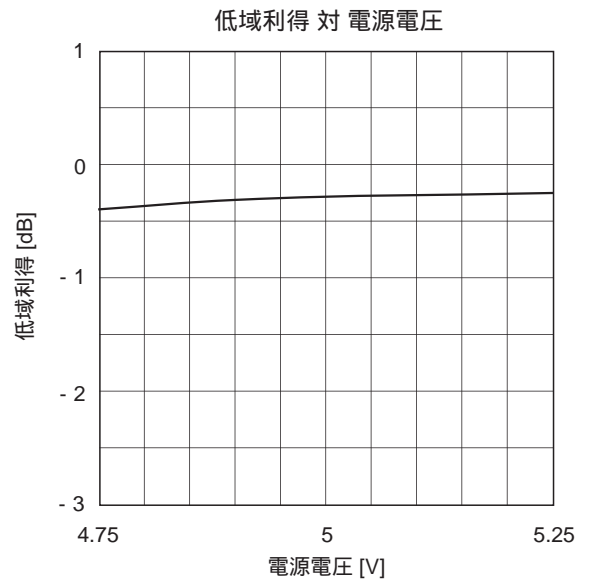
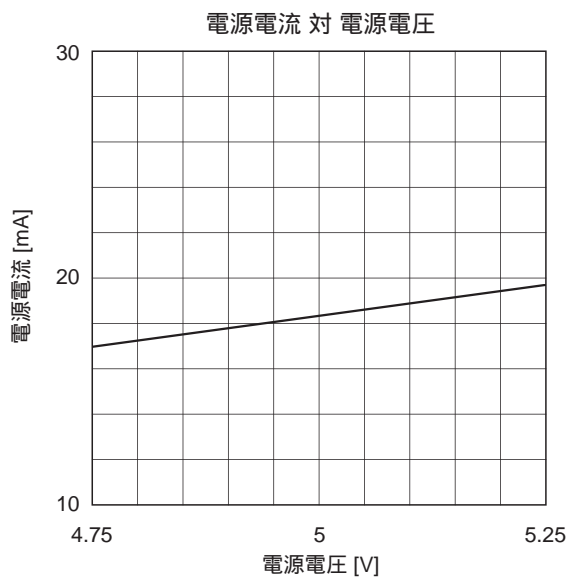
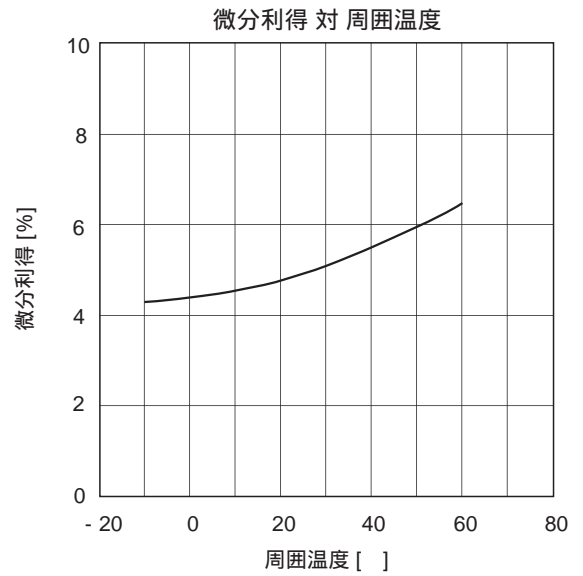
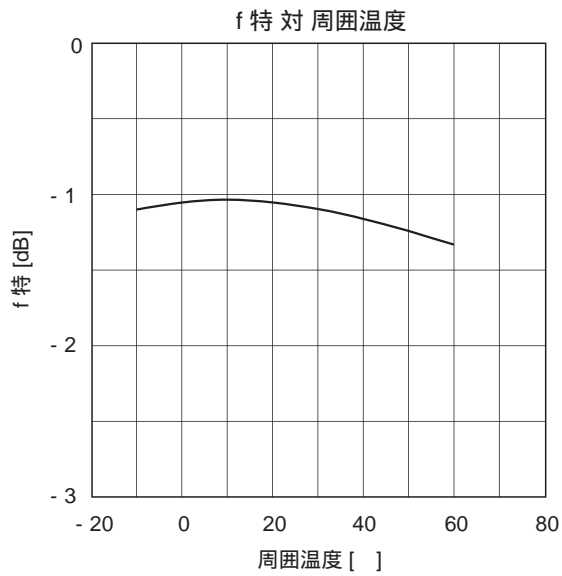
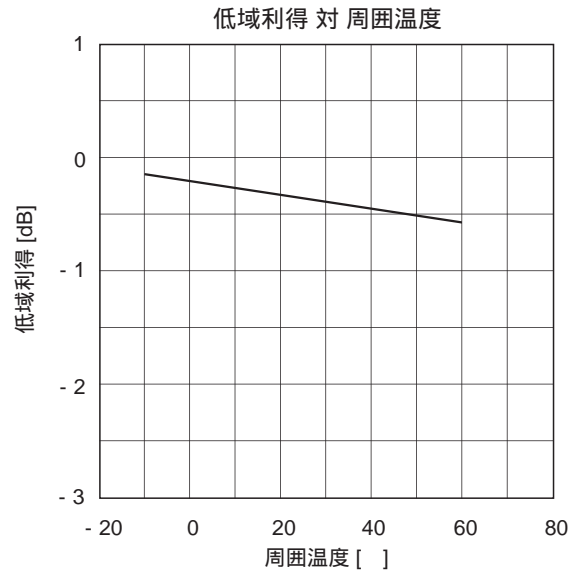
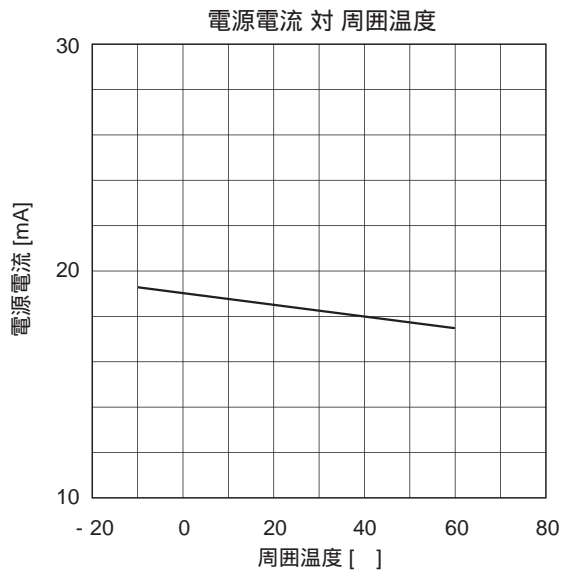
応用回路例 (CXL5502M / P使用時)

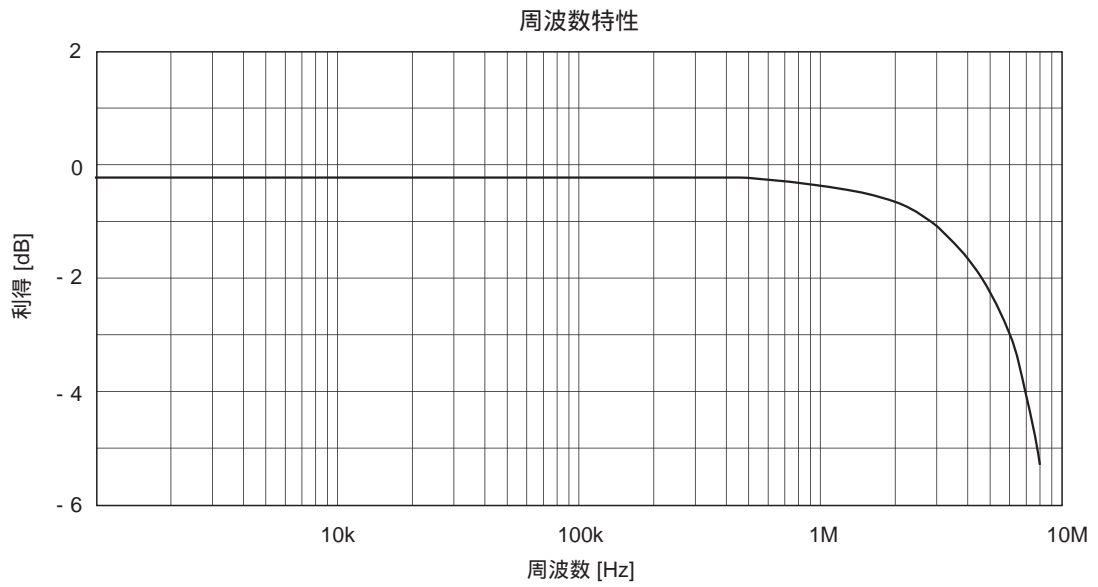
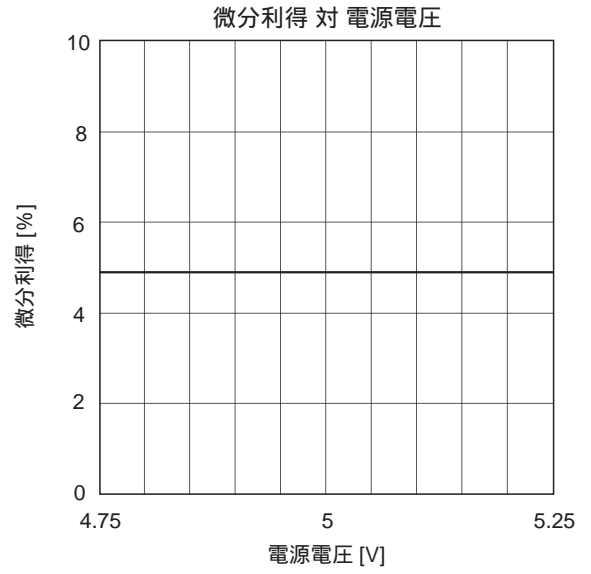
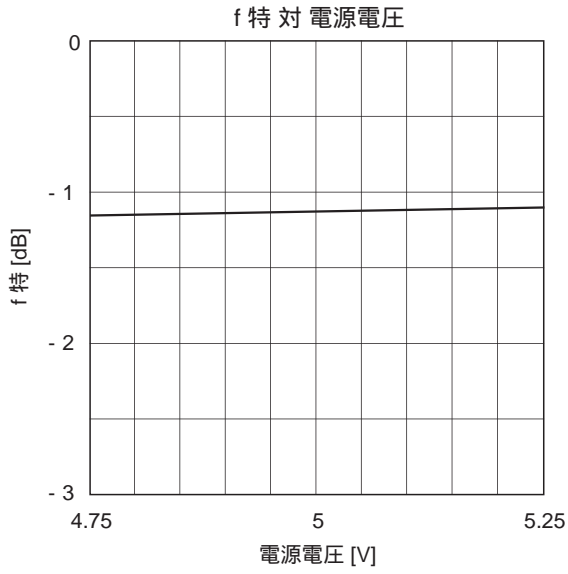


* CXL5502N使用時は、接続端子のみ変更
(ブロック図および端子配列図参照。
なお、N.CピンはGNDにしてください)

この資料の応用回路例は、使用上の参考として、代表的な応用例を示したもので、これらの回路の使用に起因する損害あるいは第三者の工業所有権の侵害の問題について、当社は一切の責任を負いません。

代表的特性例

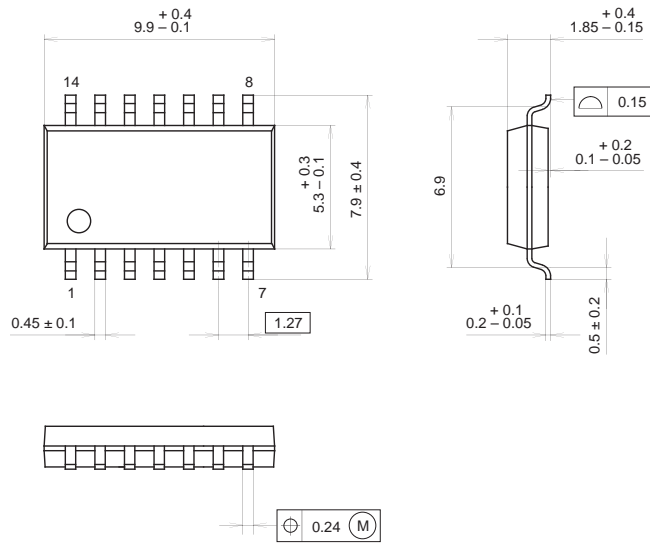




外形寸法図 単位：mm

CXL5502M

14PIN SOP (PLASTIC)

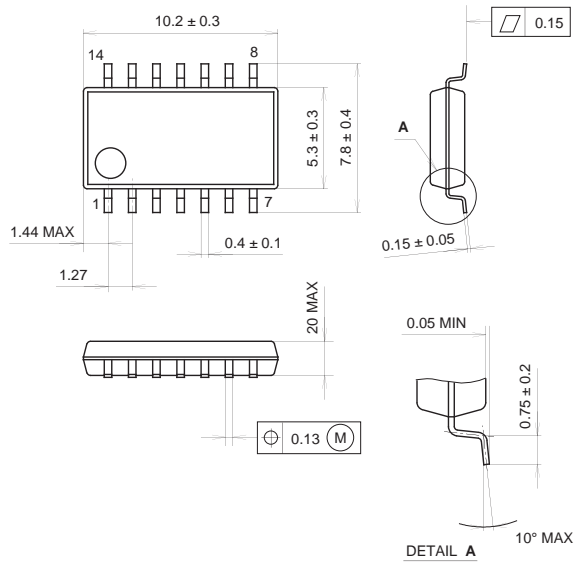


PACKAGE STRUCTURE

SONY CODE	SOP-14P-L01
EIAJ CODE	SOP014-P-0300
JEDEC CODE	—————

PACKAGE MATERIAL	EPOXY RESIN
LEAD TREATMENT	SOLDER PLATING
LEAD MATERIAL	42/COPPER ALLOY
PACKAGE MASS	0.2g

14PIN SOP (Plastic) 300mil



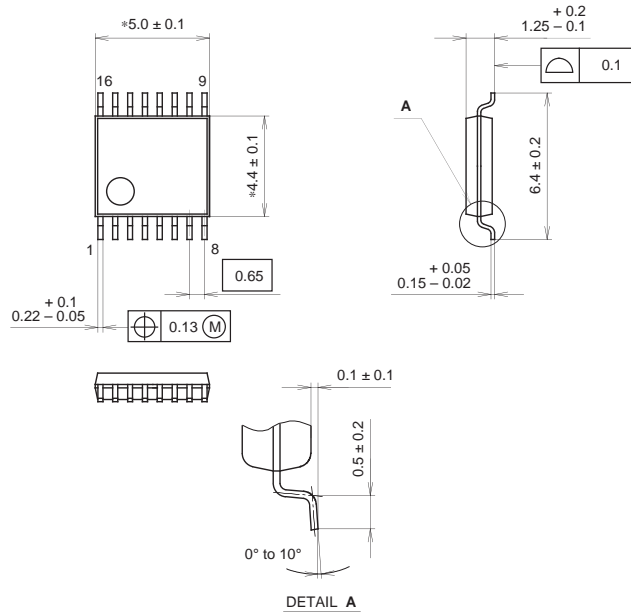
PACKAGE STRUCTURE

SONY CODE	SOP-14P-L121
EIAJ CODE	*SOP014-P-0300-AX
JEDEC CODE	—————

PACKAGE MATERIAL	EPOXY RESIN
LEAD TREATMENT	SOLDER PLATING
LEAD MATERIAL	COPPER / 42 ALLOY
PACKAGE WEIGHT	0.2g

CXL5502N

16PIN SSOP (PLASTIC)



NOTE: Dimension "*" does not include mold protrusion.

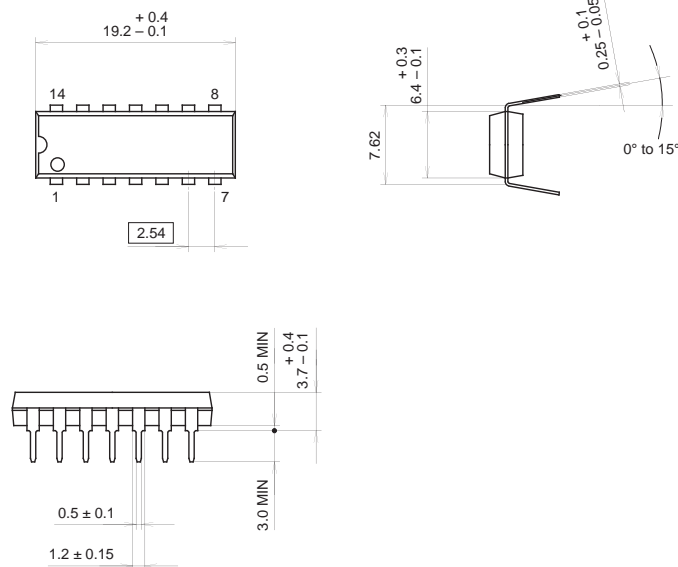
SONY CODE	SSOP-16P-L01
EIAJ CODE	SSOP016-P-0044
JEDEC CODE	

PACKAGE STRUCTURE

PACKAGE MATERIAL	EPOXY RESIN
LEAD TREATMENT	SOLDER / PALLADIUM PLATING
LEAD MATERIAL	42/COPPER ALLOY
PACKAGE MASS	0.1g

CXL5502P

14PIN DIP (PLASTIC)



SONY CODE	DIP-14P-01
EIAJ CODE	DIP014-P-0300
JEDEC CODE	Similar to MO-001-AH

PACKAGE STRUCTURE

PACKAGE MATERIAL	EPOXY RESIN
LEAD TREATMENT	SOLDER PLATING
LEAD MATERIAL	42/COPPER ALLOY
PACKAGE MASS	0.9g