

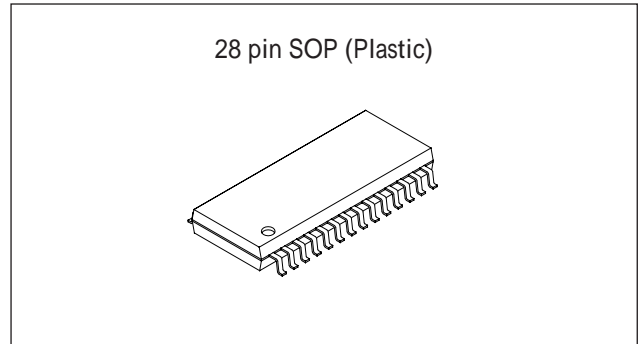
ビデオカメラ用同期信号発生器

概要

CXD1217Mは、カラービデオ用同期信号発生器です。

特長

- NTSC, PALM, PAL, SECAMの各方式に対応
- 出力は910fHまたは908fHクロックに同期しています。
- PAL方式で25Hzオフセット処理
- NTSC, PALM, PALの各方式でカラーフレーミング
- Hリセット, Vリセット, ライン切り換えリセット端子により, 外部同期可能



用途

カラービデオカメラ用同期信号発生器

構造

シリコンゲート CMOS IC

絶対最大定格 (Ta = 25)

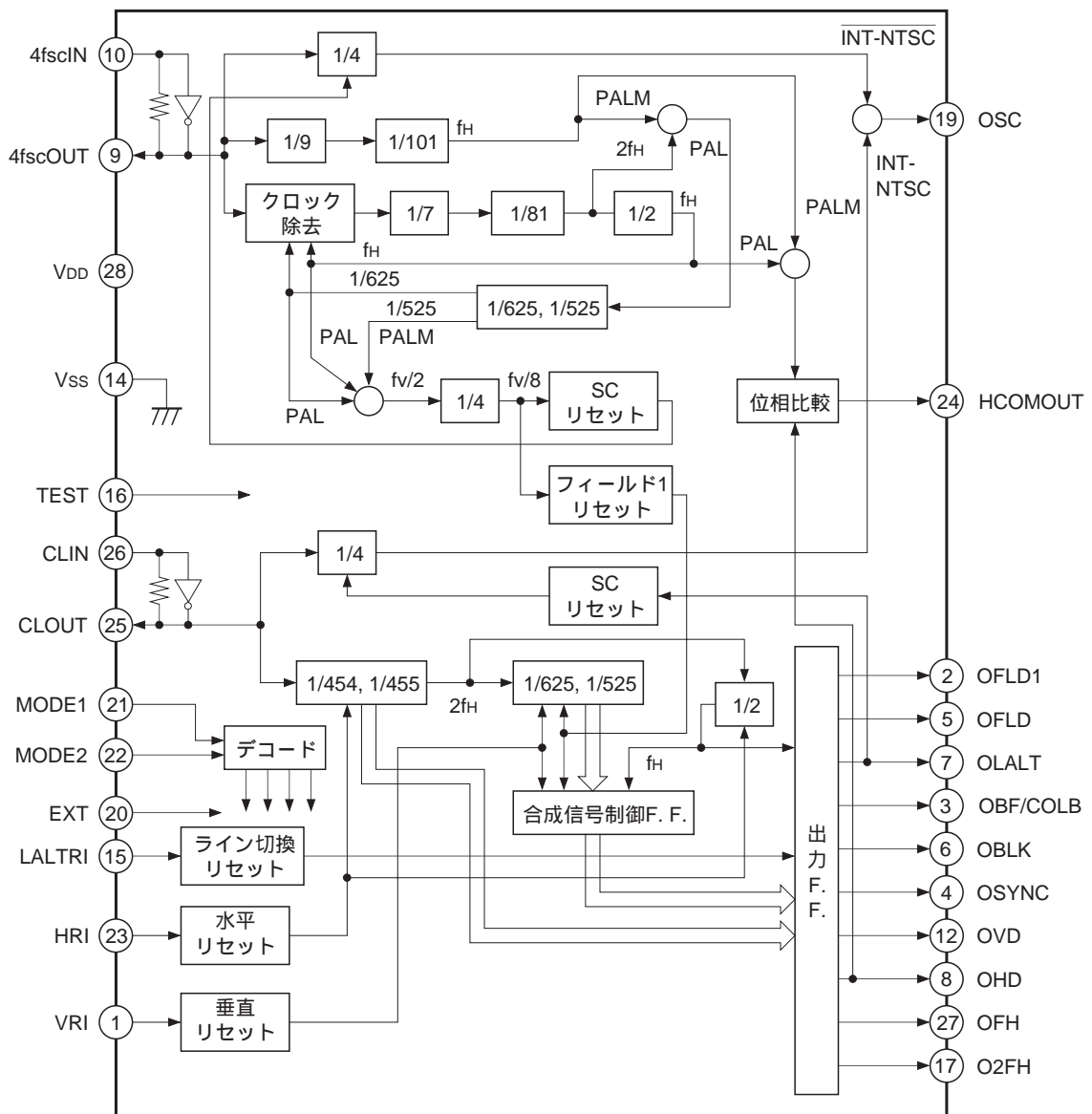
- | | | | |
|--------|------------------|---|---|
| • 電源電圧 | V _{DD} | V _{SS} - 0.5 ~ + 7.0 | V |
| • 入力電圧 | V _I | V _{SS} - 0.5 ~ V _{DD} + 0.5 | V |
| • 出力電圧 | V _O | V _{SS} - 0.5 ~ V _{DD} + 0.5 | V |
| • 動作温度 | T _{opr} | - 20 ~ + 75 | |
| • 保存温度 | T _{stg} | - 55 ~ + 150 | |

推奨動作条件

- | | | | |
|--------|------------------|-------------|---|
| • 電源電圧 | V _{DD} | 4.5 ~ 5.5 | V |
| • 動作温度 | T _{opr} | - 20 ~ + 75 | |

本資料に記載されております規格等は、改良のため予告なく変更することがありますので、ご了承ください。
また本資料によって、記載内容に関する工業所有権の実施許諾や、その他の権利に対する保証を認めたものではありません。
なお資料中に、回路例が記載されている場合、これらは使用上の参考として、代表的な応用例を示したものですので、これら回路の使用に起因する損害について、当社は一切責任を負いません。

ブロック図および端子配列図



注) 19番端子出力は (a) NTSCでINT Modeのときは26番端子に基づく信号です。
 (b) その他のModeのときは10番端子に基づく信号です。

端子説明

端子番号	端子記号	I/O	端子説明
1	VRI	I	垂直リセット信号
2	OFLD1	O	第1フィールド出力
3	OBF / COLB	O	バーストフラグ / カラーブランキング出力
4	OSYNC	O	コンポジットシンク出力
5	OFLD	O	イーブン・オッド出力
6	OBLK	O	コンポジットブランキング出力
7	OLALT	O	ライン切り換え出力
8	OHD	O	水平ドライブ出力
9	4fscOUT	O	4fsc出力
10	4fscIN	I	4fsc入力
11	NC	-	
12	OVD	O	垂直ドライブ出力
13	NC	-	
14	Vss	-	GND端子
15	LALTRI	I	ライン切り換えリセット入力
16	TEST	I	テスト入力
17	O2FH	O	2fh出力 (27番端子の2倍の周波数)
18	NC	-	
19	OSC	O	サブキャリア出力
20	EXT	I	内部・外部同期モード切り換え “L”: 内部同期 “H”: 外部同期
21	MODE1	I	方式選択入力1
22	MODE2	I	方式選択入力2
23	HRI	I	水平リセット入力
24	HCOMOUT	O	位相比較器出力
25	CLOUT	O	クロック出力
26	CLIN	I	クロック入力
27	OFH	O	水平周波数出力
28	VDD	-	電源端子

電気的特性

直流特性

($V_{DD} = 5V \pm 10\%$, $V_{SS} = 0V$, $T_{opr} = -20 \sim +75$)

項目	記号	条件	最小値	標準値	最大値	単位
出力電圧1	V_{OH}	$I_{OH} = -2mA$	$V_{DD} - 0.5$		V_{DD}	V
	V_{OL}	$I_{OL} = 4mA$	V_{SS}		0.4	V
出力電圧2*1	V_{OH}	$I_{OH} = -4mA$	$V_{DD} - 0.5$		V_{DD}	V
	V_{OL}	$I_{OL} = 4mA$	V_{SS}		0.4	V
出力電圧3*2	V_{OH}	$I_{OH} = -4mA$	$V_{DD} / 2$			V
	V_{OL}	$I_{OL} = 8mA$			$V_{DD} / 2$	V
入力電圧	V_{IH}		$0.7V_{DD}$			V
	V_{IL}				$0.3V_{DD}$	V
入力電流*3 (プルダウン端子)	I_{IH}	$V_{IH} = V_{DD}$	20	50	120	μA
出力リーク電流*1	I_{LZ}	ハイインピーダンス状態		± 30		nA
電源電流	I_{DD}	動作時出力端子無負荷		8		mA
帰還抵抗*4	R_{FB}	$V_{DD} = 5V$	250k		2.5M	

*1 HCOMOUT端子

*2 4fscOUT, CLOUT端子

*3 LALTRI, TEST, EXT, MODE1, MODE2端子

*4 4fscOUT, 4fscIN, CLOUT, CLIN端子

入力 / 出力容量

($V_{DD} = V_I = 0V$, $f_M = 1MHz$)

項目	記号	条件	最小値	標準値	最大値	単位
入力端子	C_{IN}		-	-	9	pF
出力端子	C_{OUT}		-	-	11	pF

動作説明（ブロック図参照）

CXD1217はNTSC, PAL, PALM, SECAMの4方式に対応できるようになっており、これを実現するために次のようなサブキャリア（4fsc_N）およびクロック（CLIN）の関係式を採用しています。

	サブキャリア	クロック
NTSC	$4fsc = 910f_H$	910f _H
PAL	$4fsc = 1135f_H + 2f_V$	908f _H
PALM	$4fsc = 909f_H$	910f _H
SECAM	-	908f _H

上記の式からわかるように、PAL, PALMにおいては4fscとクロックの周波数が一致しないため、PLLを構成しクロックの周波数を合わせています。

1. MODE指定入力

CXD1217にはMode指定のために4つの入力を用意されています。

* EXT入力：この端子をV_{DD}側にすると外部同期モードとなります。

このときブロック図の上部のPLLループに関係したカウンタ類は停止状態となります。

* MODE1およびMODE2入力：方式選択のための入力です。

MODE1	MODE2	方式	
0	0	NTSC	
0	1	SECAM	
1	0	PALM	“0” V _{SS}
1	1	PAL	“1” V _{DD}

* TEST入力：IC測定のために使用される入力です。この入力は、通常オープンで使用します。（内部でMOS抵抗でV_{SS}に落しているため）

2. リセット動作

HRI, VRI, LALTRIの3つのリセット入力があり、立ち下がりエッジが検出されるとリセット動作を行うようになっています。これらの3つの入力は、IC内部のクロックに同期して取り込まれるようになっているため、リセット動作としてはクロック周波数が合っている（GEN LOCKされている）システムどうしを前提としています。

• Hリセット（HRI入力）

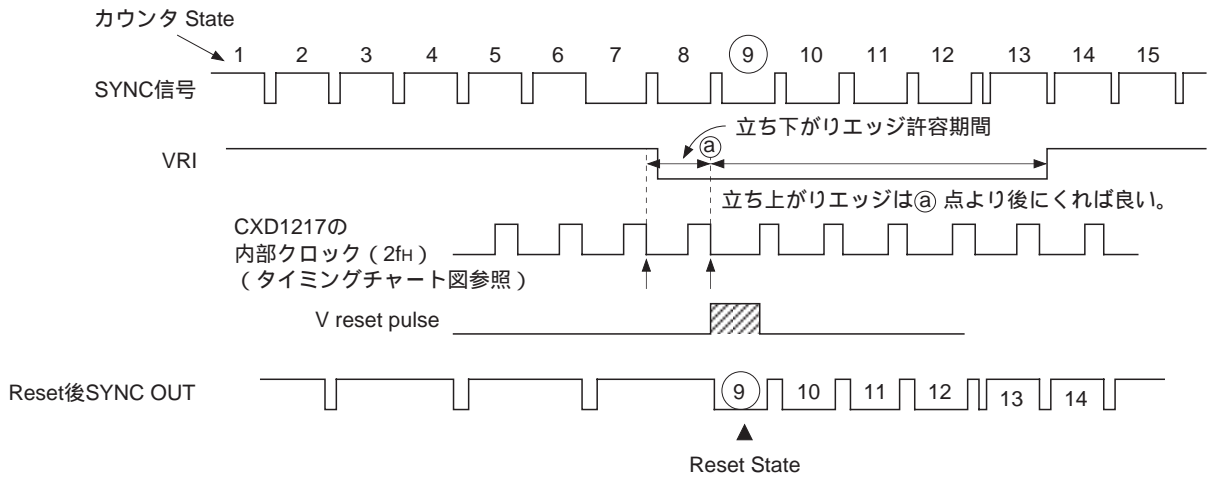
HRI入力がH同期で連続の場合は最初の立ち下がりエッジでリセットがかかり、その次からのエッジに対しては内部クロックで2ビット（140ns）以上最初のエッジに対してずれない限りリセットされません。即ち、HRI入力のジッタが140ns以下であれば吸収されます。最小リセットパルス幅は0.3μs以上です。

リセットされる位相は図のようにHRI入力より6.3～6.37μs（=90～91ビット×70ns）進んだ所です。



• Vリセット (VRI入力)

下図のようにVRIが入力されると、OSYNCはSYNC信号と同位相にリセットされます。



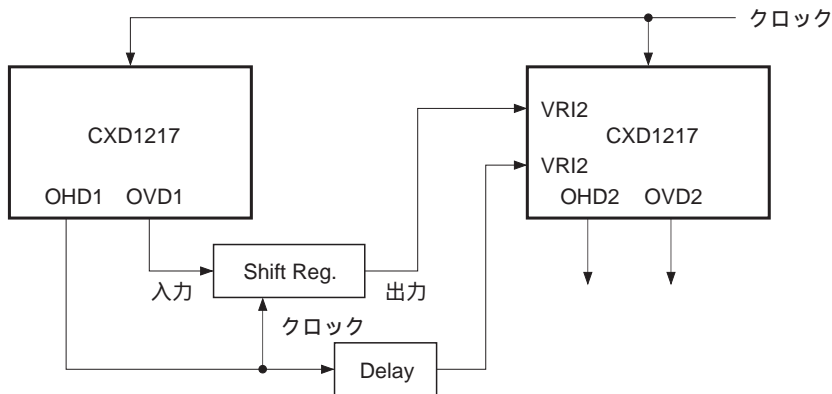
上図の2fHの立ち下がり点 (印) がリセットの境界点になるので、VRI入力の立ち下がりエッジがその点を横切るとリセット状態は1/2Hずれます。

従って、周波数の異なるシステムどうしでリセットをかけるとかけられた方のVには1/2Hのジッターが生じます。(連続でかけた場合)

• LALリセット (LALTRI入力)

LALTRIパルスの極性および2fHとの位相関係はVリセットの場合と同じです。

リセット動作は、基本的には外部同期モード (GEN LOCKモード) の場合ですが、内部同期モードの場合でもある出力に対して位相のずれたH, V出力が要求されることがあります。この場合にはCXD1217を2個使用して以下のようにします。



* IC-1, 2はINTモードで良い。

上図のDelayおよびShift Reg.を可変することによりOHD1, OVD1に対して任意の位相のOHD2, OVD2を作ることができます。

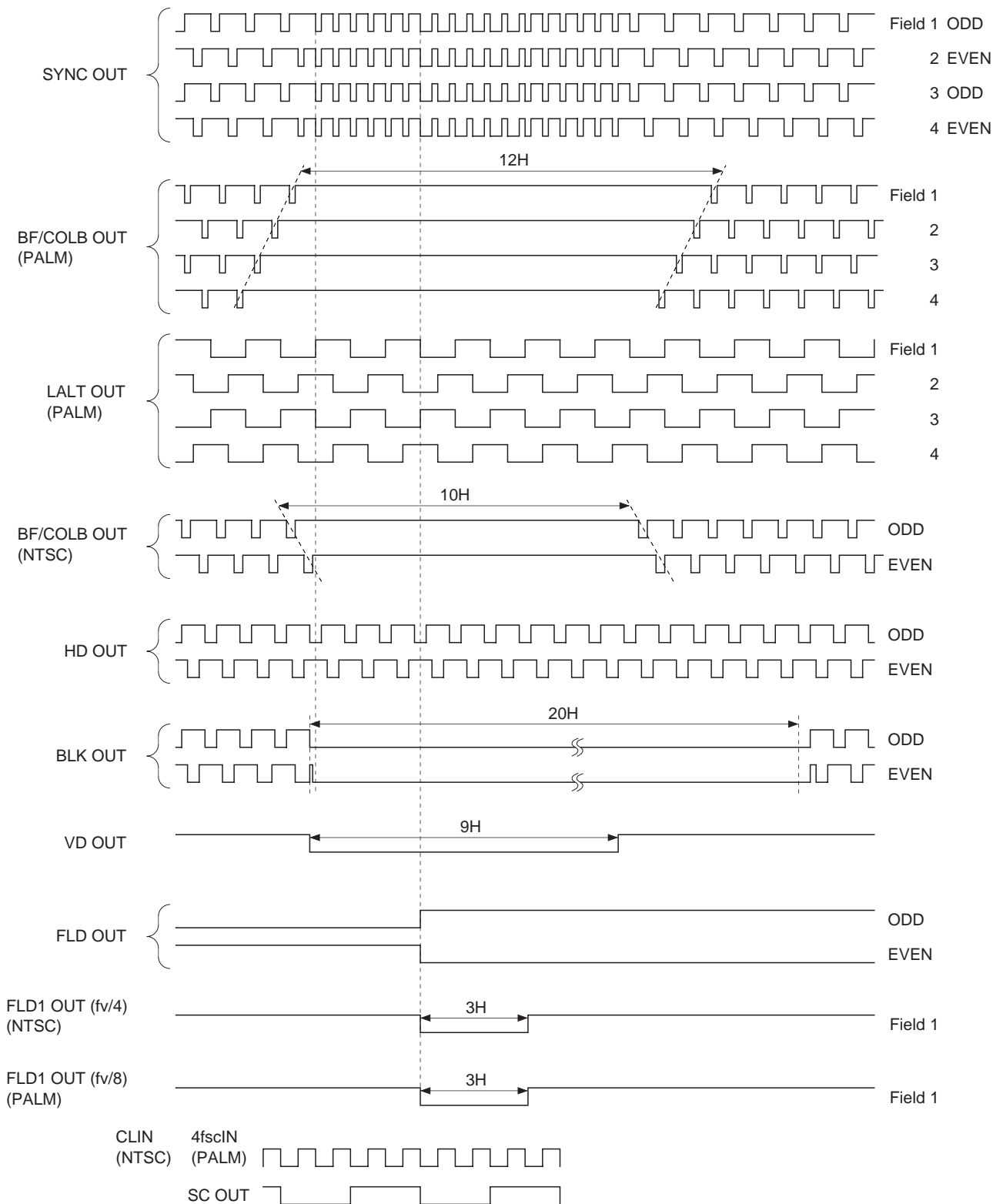
3. カラーフレーミング

内部同期の場合、NTSC, PAL, PALMの各方式において第1FieldのSYNCとサブキャリアの位相関係を電源のON/OFFに関係なく一定にしています。ただしPAL, PALM方式ではPLLを構成しているため、周囲温度の変化によって位相関係の絶対値がドリフトします。

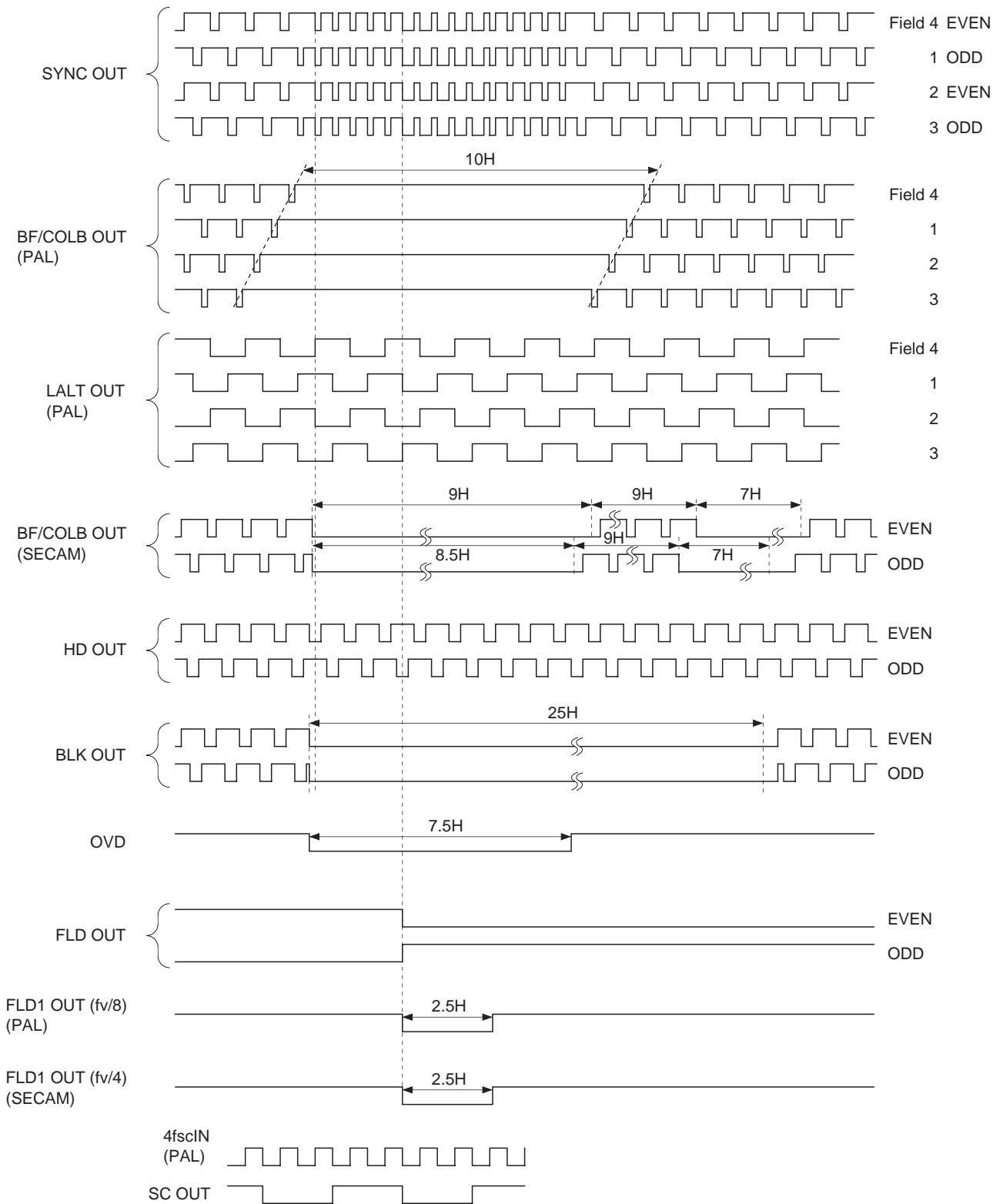
タイミングチャート

出力タイミングダイアグラム

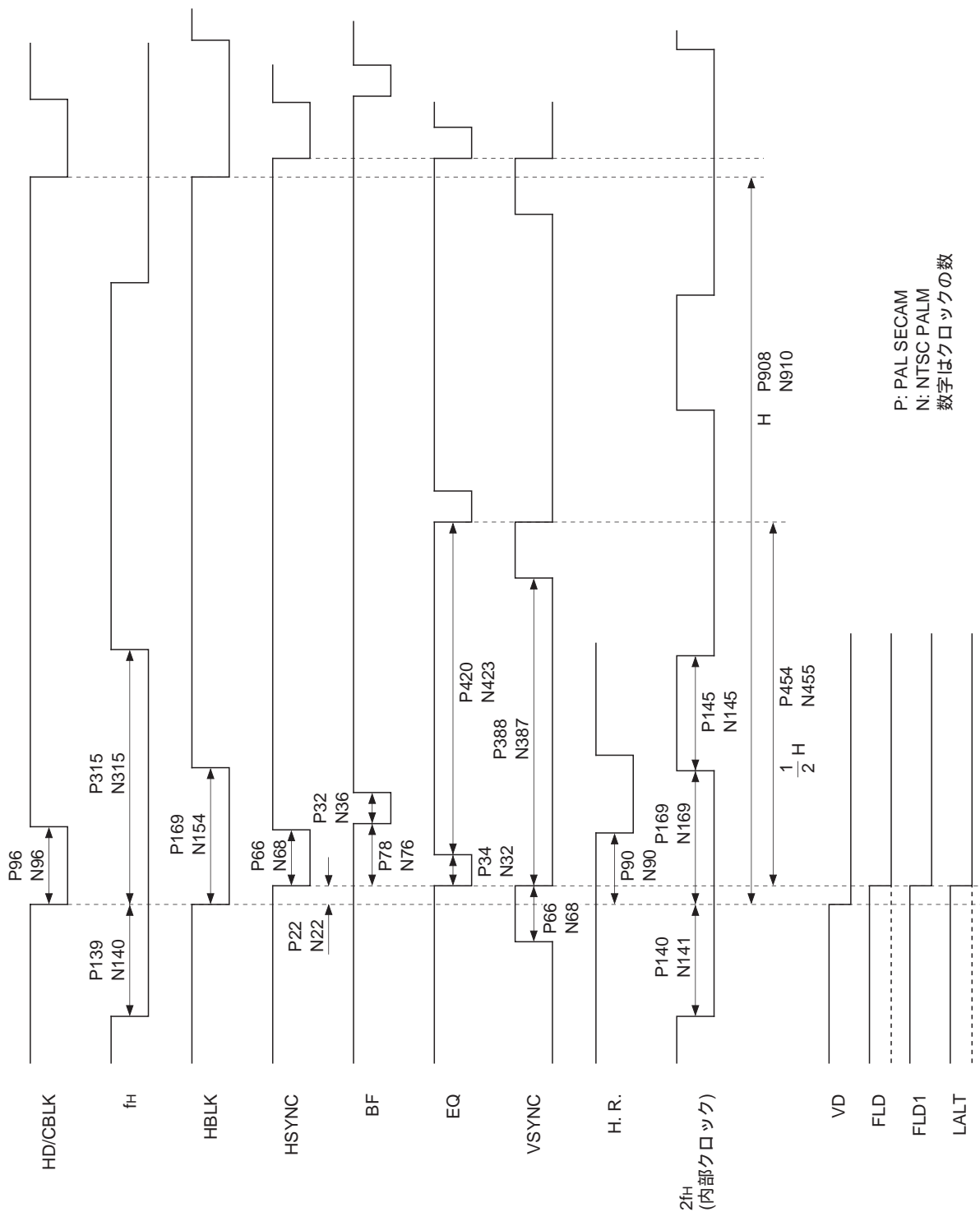
CXD1217 NTSC, PALM



CXD1217 PAL, SECAM



CXD1217 fh

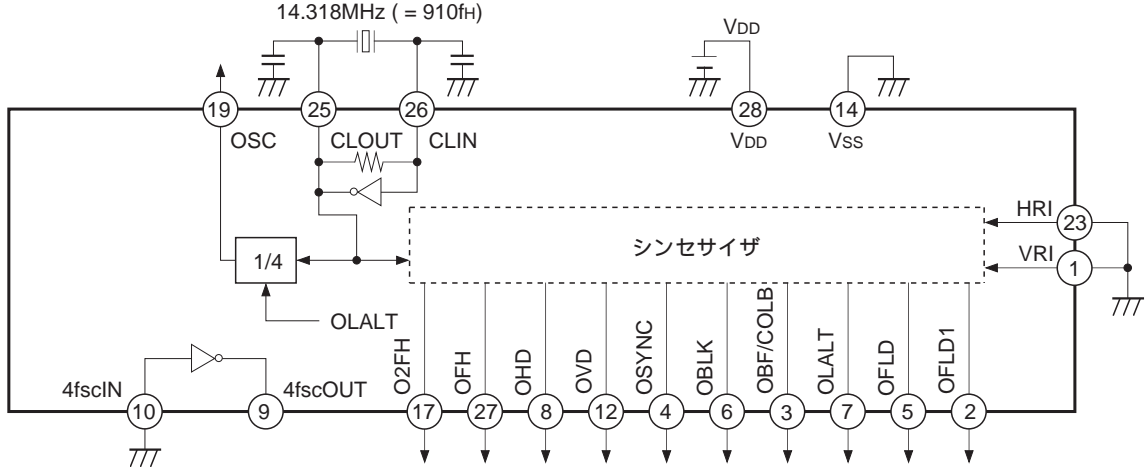


応用回路例

各方式における基本接続

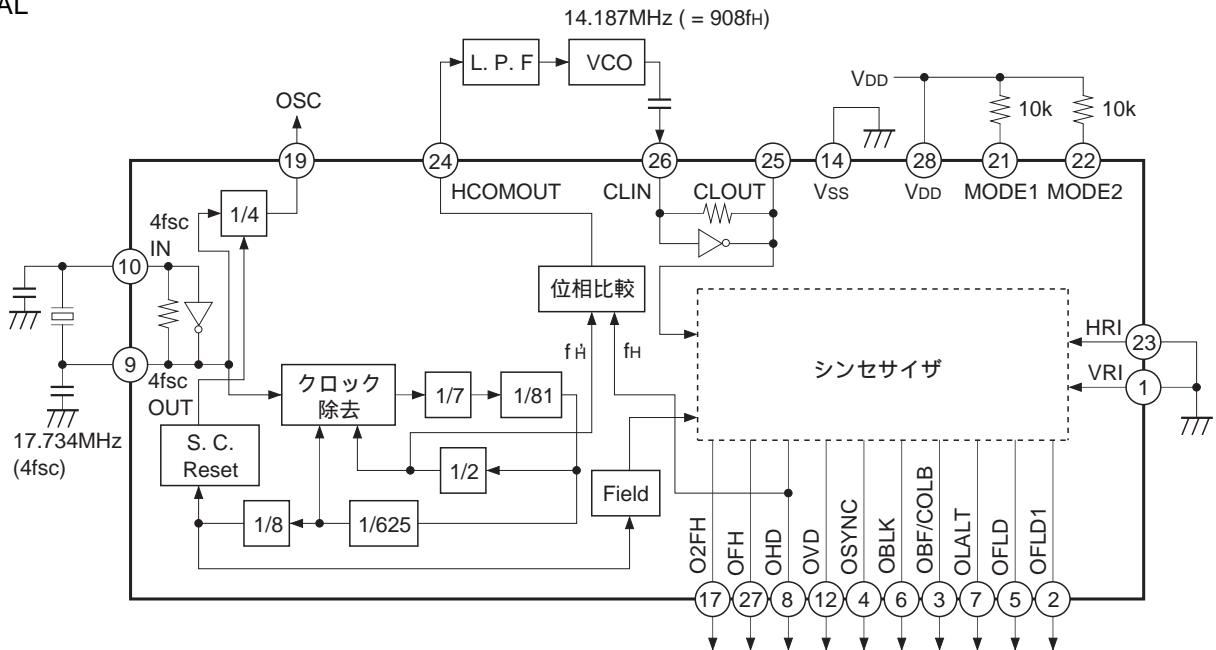
内部同期モード (EXT入力="0") における各方式の基本接続は以下のようになります。各出力は、波形図を参照して下さい。

• NTSC



- * NTSCモードでもLALT OUT出力にはH/2が出力されています。
- * MODE1, MODE2, EXT, TEST, LALTRI端子はオープンのままでもよい。
(Noiseが気になるときは低インピーダンスでVssに接続して下さい。)

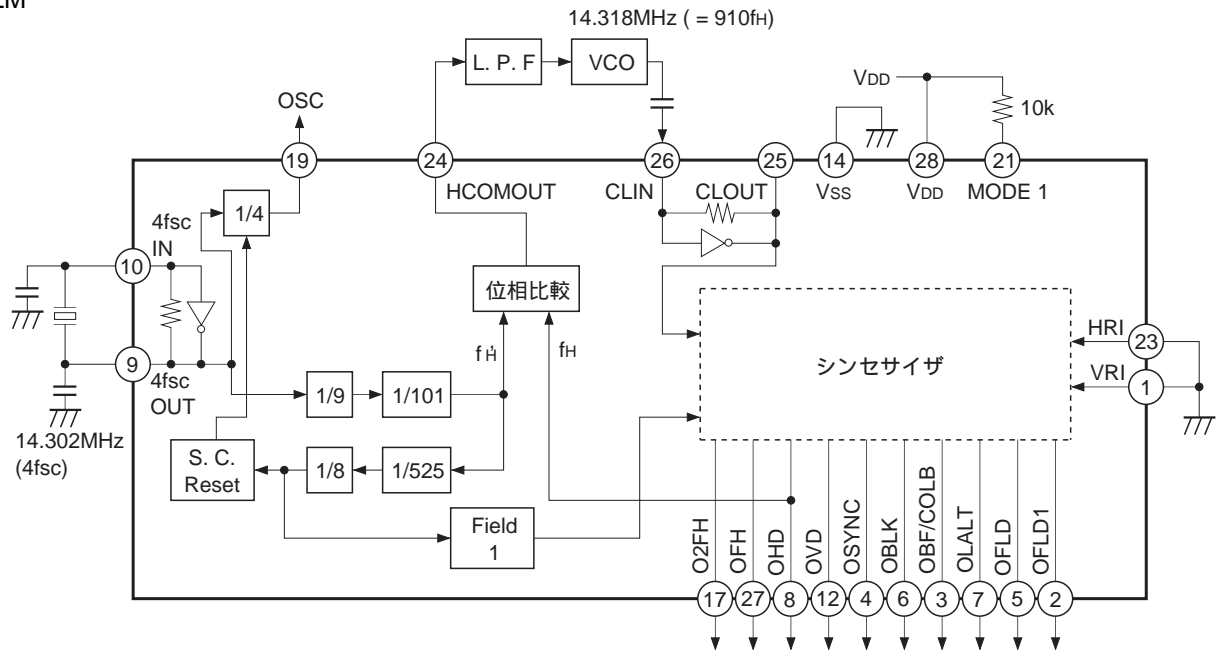
• PAL



- * VCOはCLIN, CLOUT端子のインバータを使用してもよい。

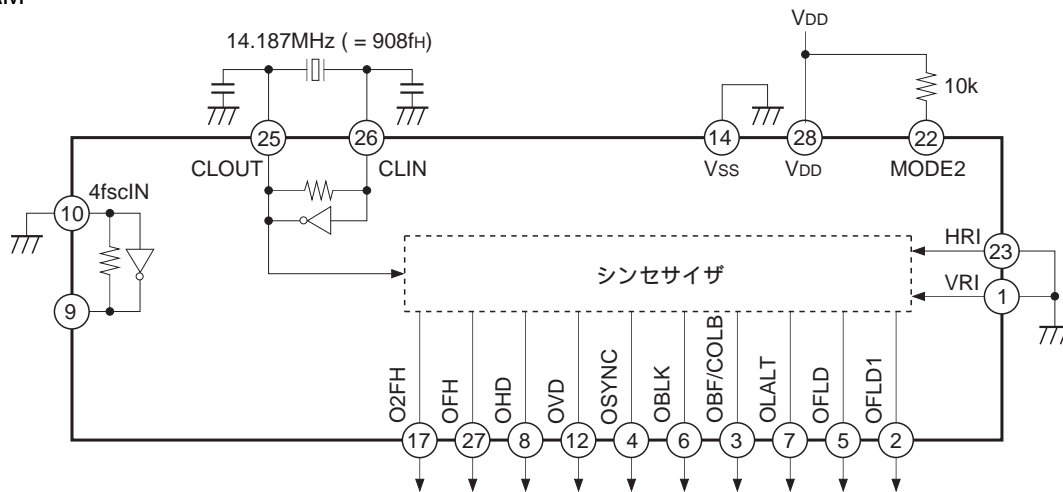
この資料の応用回路例は、使用上の参考として、代表的な応用例を示したもので、これらの回路の使用に起因する損害あるいは第三者の工業所有権の侵害の問題について、当社は一切の責任を負いません。

• PALM



* VCOは内部インバータ使用可。

• SECAM



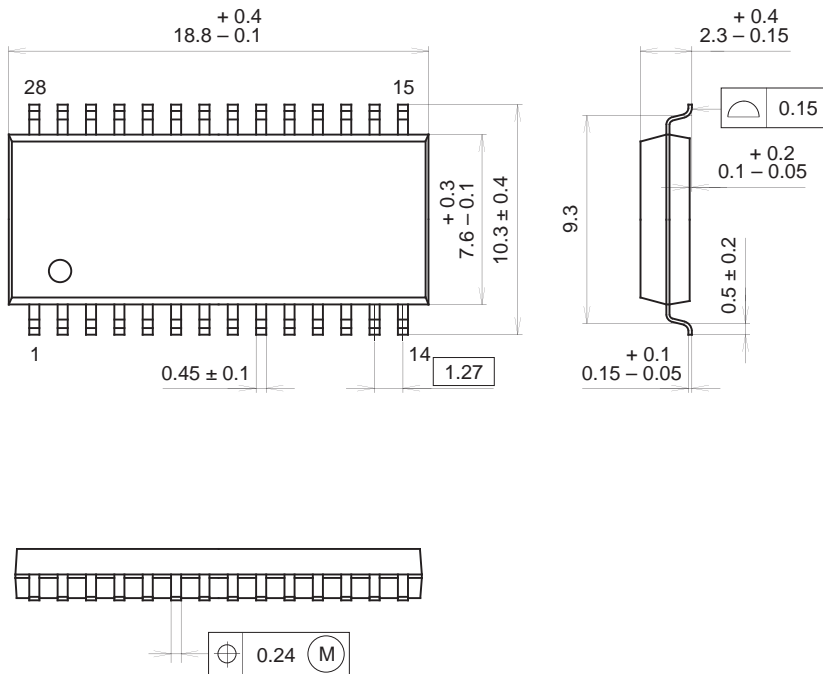
* BF / COLB OUT端子にはCOLBが出力されます。

* SDR, SDBは908fhを使ってPLLで作るようにします。

この資料の応用回路例は、使用上の参考として、代表的な応用例を示したもので、これらの回路の使用に起因する損害あるいは第三者の工業所有権の侵害の問題について、当社は一切の責任を負いません。

外形寸法図 単位：mm

28PIN SOP (PLASTIC)



PACKAGE STRUCTURE

SONY CODE	SOP-28P-L02
EIAJ CODE	SOP028-P-0375
JEDEC CODE	_____

PACKAGE MATERIAL	EPOXY RESIN
LEAD TREATMENT	SOLDER PLATING
LEAD MATERIAL	42/COPPER ALLOY
PACKAGE MASS	0.6g